

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214655

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl. ⁸	識別記号	F I		
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1	
21/8242			4 5 1	
27/10	4 5 1	29/78	3 7 1	
21/8247				
29/788				

審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平10-16290

(22) 出願日 平成10年(1998) 1月29日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 木下 多賀雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

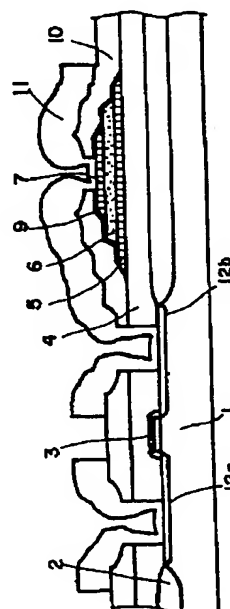
(74) 代理人 弁理士 小池 隆彌

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 TiN 膜とレジストとの選択比が低くなり、下部電極のエッチング工程とバリアメタルのエッチング工程とを別々に行う必要があった。

【解決手段】 シリコン基板1に選択トランジスタが形成されており、且つ、選択トランジスタを含むシリコン基板上に形成された層間絶縁膜4上に、 Ti 膜と Pt 膜からなる下部電極5、 $SrBi_2Ta_2O_{10}$ 膜、 Pt 膜からなる上部電極7及び上部電極7と $SrBi_2Ta_2O_{10}$ 膜6とを覆うような形状のバリアメタルとなる TiO_2 膜9が形成されており、且つ、上部電極7上と選択トランジスタのドレインとに形成されたコンタクトホールを介してメタル配線11により、上部電極7と選択トランジスタのドレイン12bとが電気的に接続されている。



【特許請求の範囲】

【請求項1】 半導体基板に選択トランジスタが形成されており、且つ、該選択トランジスタを含む上記半導体基板上に形成された層間絶縁膜上に、Ti膜とPt膜又はPt合金膜とからなる、ドライブインとなる下部電極、強誘電体膜、Pt膜又はPt合金膜からなる上部電極及び上記上部電極と強誘電体膜とを覆うような形状のバリアメタルとなる TiO_2 膜が形成されており、且つ、上記上部電極上と上記選択トランジスタのドレインとに形成されたコンタクトホールを介してメタル配線により、上記上部電極と上記選択トランジスタのドレインとが電氣的に接続されていることを特徴とする半導体記憶装置。

【請求項2】 半導体基板に選択トランジスタを形成した後、層間絶縁膜を介して、Ti膜、第1のPt膜又はPt合金膜、強誘電体膜及び第2のPt膜又はPt合金膜を順次堆積させる工程と、第2のPt膜又はPt合金膜を所定の形状にパターニングし、上部電極を形成した後、上記強誘電体膜を所定の形状にパターニングする工程と、 TiO_2 膜を全面に堆積させた後、上記 TiO_2 膜、Pt膜及びTi膜を所定の形状にパターニングし、ドライブインとなるPt膜及びTi膜からなる下部電極を形成する工程と、全面に層間絶縁膜を形成した後、上記上部電極及び上記選択トランジスタのドレイン領域上にコンタクトホールを形成する工程と、上記上部電極と上記選択トランジスタのドレイン領域とをメタル配線で接続する工程とを有することを特徴とする、半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置及びその製造方法、特に強誘電体膜を用いた不揮発性半導体記憶装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、自発分極を有する強誘電体膜をキャパシタに用いた不揮発性半導体記憶装置が開発されている。強誘電体材料としては、 $BaTiO_3$ 、 $Pb(Zr, Ti)O_3$ 、 $SrBi_2Ta_2O_9$ 等の酸化物が主に用いられている。これらの酸化物強誘電体膜をキャパシタに用いる場合、強誘電体膜と層間絶縁膜として用いられるシリコン酸化膜とが反応し、強誘電体特性が劣化することが確認されている。そのため、特開平8-335673号公報等に記載されているように、これらの反応に対するバリアメタルを使用することで反応を抑制し、特性の劣化を防止している。

【0003】しかしながら、この反応に対するバリアメタル(TiO_2 等)は、キャパシタ部以外に残った場合、後の工程でのコンタクトホール形成並びに金属配線

形成の際にコンタクトホール内での断線を引き起こすことから、キャパシタのみを覆うマスクを作成し、フォトリソグラフィ並びにドライエッチング技術を用いて、コンタクトホール開口部のバリアメタルを除去しなければならない。

【0004】以下、図4及び図5を用いて、従来技術による強誘電体膜をキャパシタに用いた不揮発性半導体記憶装置の製造工程を説明する。尚、図4及び図5において、符号28a、28b、28c、28d、28eはフォトレジストを示す。

【0005】まず、シリコン基板21上に公知のフォトリソグラフィ技術及びドライエッチング技術、CVD技術等を用いて、素子分離膜22及びゲート電極23形成を行い、各種イオン注入を行うことで選択トランジスタを作成し、その後公知のCVD法によりシリコン酸化膜24を1000nm堆積させ、公知のCMP法により平坦化を行う。

【0006】次に、公知のフォトリソグラフィ技術及びドライエッチング技術を用いてコンタクトホールを形成し、CVD法によりポリシリコン膜を堆積させた後、CMP法によりコンタクトホール内にのみポリシリコンを残し、平坦化を行い、ポリシリコンブラグ25を形成する。

【0007】次に、ポリシリコンブラグ25上に公知のスパッタリング法を用いて、 TiN/Ti 膜とPt膜との積層膜26を堆積させる。尚、この場合、 TiN 膜はPtとポリシリコンとの反応に対するバリアメタルとして用いるため、Ti、 TiN 、Ptそれぞれの膜厚は30nm、200nm、100nmとなっている。

【0008】次に、PZT($Pb(Zr, Ti)O_3$)を成膜するため、Pt/ $t i n / T i$ 積層膜26上に、PZTのゾルゲル溶液をスピンコートし、420℃で1時間の熱処理を4回繰り返して行い、その後、RTA(Rapid Thermal Anneal)法を用いて、 N_2/O_2 雰囲気中で660℃、30secの熱処理を行う(図4(a))。このときのPZT膜27の最終膜厚は約200nmである。

【0009】次にこのPZT膜27を公知のフォトリソグラフィ技術及びドライエッチング技術を用いて加工する(図4(b))。

【0010】次に、Pt/ TiN/Ti 膜の積層膜26をこれも公知のフォトリソグラフィ技術及びドライエッチング技術を用いて加工し、下部電極を形成する(図4(c))。この際、エッチングのプラズマ雰囲気により膜特性が劣化するため、 N_2/O_2 雰囲気中でRTA法により500~600℃の温度で熱処理を行う。Pt膜のエッチング条件は、マイクロ波パワーを1000W、 Cl_2 の流量を40SCCM、 C_2F_6 の流量を40SCCM、 CH_4 の流量を5SCCM、RFパワーを150W、圧力を 1.4×10^{-4} Torrとする。また、Pt

膜エッチングにより堆積した側壁デポ膜をHCl水溶液のウェットエッチングにより除去する。

【0011】さらに、レジストベークを行った後、TiN/Tiのエッチングを以下のエッチング条件で行う。すなわち、エッチング条件は、マイクロ波パワーを1000W、Cl₂の流量を90SCCM、RFパワーを100W、圧力を 1.4×10^{-1} Torrとする。

【0012】次に、反応性スパッタリング法を用いて、TiO₂膜29を50nm堆積させる(図4(d))。その後、このTiO₂膜29が後工程のコンタクトホール開口部に残らないように、公知のフォトリソグラフィ技術及びドライエッチング技術を用いて、コンタクトホール開口部のTiO₂膜の除去を行う(図4(e))。このときの、TiO₂を以下の条件は、マイクロ波パワーを1000W、Cl₂の流量を25.5SCCM、Arの流量を59.5SCCM、RFパワーを100W、圧力を 1.4×10^{-1} Torrとする。

【0013】次に、層間絶縁膜として公知のCVD法を用いてシリコン酸化膜30を150nm堆積させる(図5(a))。

【0014】次に、上部電極として用いるPtとSiO₂膜との密着層として機能させることを目的としてTi膜をスパッタリング法を用いて10nm堆積させた後、公知のフォトリソグラフィ技術及びドライエッチング技術を用いて、PZT膜と上部電極とのコンタクトのためのコンタクトホールを形成する(図5(b))。この際、エッチング法のプラズマ雰囲気により、強誘電体膜特性が劣化するため、N₂/O₂雰囲気でRTA法により500~600℃の温度で熱処理する。

【0015】次に、スパッタリング法を用いて、TiN/Pt膜31を堆積させ、公知のフォトリソグラフィ技術及びドライエッチング技術を用いて、ドライブインとしての使用する上部電極を形成する(図5(c))。この際、エッチング法のプラズマ雰囲気により、強誘電体膜特性が劣化するため、N₂/O₂雰囲気でRTA法により500~600℃の温度で熱処理する。

【0016】次に、層間絶縁膜として公知のCVD法によりシリコン酸化膜32を500nm堆積させる。

【0017】最後に、公知のフォトリソグラフィ技術及びドライエッチング技術を用いて、シリコン基板上にコンタクトホールを開口した(図5(d))後、スパッタリング法により1層目金属配線を形成する(図5(e))。

【0018】

【発明が解決しようとする課題】図4及び図5に示すように従来技術は下部電極にTiN膜を設けることにより、下部電極を構成するPtとポリシリコンプラグとの反応を防止し、また、Ptを介した酸素等の透過によるポリシリコンの酸化を防止している。しかし、上記効果を得るためには、TiN膜の膜厚は少なくとも200nm

m必要であり、このため、レジストとの選択比が低くなり、下部電極(Pt/TiN/Ti)のエッチング工程とバリアメタル(TiO₂)のエッチング工程とを別々に行う必要があり、工程数増加によるコストの増加につながる。

【0019】

【課題を解決するための手段】請求項1に記載の本発明の半導体記憶装置は、半導体基板に選択トランジスタが形成されており、且つ、該選択トランジスタを含む上記半導体基板上に形成された層間絶縁膜上に、Ti膜とPt膜又はPt合金膜とからなる、ドライブインとなる下部電極、強誘電体膜、Pt膜又はPt合金膜からなる上部電極及び上記上部電極と強誘電体膜とを覆うような形状のバリアメタルとなるTiO₂膜が形成されており、且つ、上記上部電極と上記選択トランジスタのドレインとに形成されたコンタクトホールを介して金属配線により、上記上部電極と上記選択トランジスタのドレインとが電気的に接続されていることを特徴とするものである。

【0020】また、請求項2に記載の本発明の半導体記憶装置の製造方法は、半導体基板に選択トランジスタを形成した後、層間絶縁膜を介して、Ti膜、第1のPt膜又はPt合金膜、強誘電体膜及び第2のPt膜又はPt合金膜を順次堆積させる工程と、第2のPt膜又はPt合金膜を所定の形状にパターニングし、上部電極を形成した後、上記強誘電体膜を所定の形状にパターニングする工程と、TiO₂膜を全面に堆積させた後、上記TiO₂膜、Pt膜及びTi膜を所定の形状にパターニングし、ドライブインとなるPt膜及びTi膜からなる下部電極を形成する工程と、全面に層間絶縁膜を形成した後、上記上部電極及び上記選択トランジスタのドレイン領域上にコンタクトホールを形成する工程と、上記上部電極と上記選択トランジスタのドレイン領域とを金属配線で接続する工程とを有することを特徴とするものである。

【0021】

【発明の実施の形態】以下、実施の形態に基づいて本発明について詳細に説明する。

【0022】図1は本発明の一実施の形態の半導体記憶装置の構造断面図、図2は本発明の一実施の形態の半導体記憶装置の前半の製造工程図、図3は本発明の一実施の形態の半導体記憶装置の後半の製造工程図である。図1乃至図3において、1はシリコン基板、2は素子分離膜、3はゲート電極、4、10は層間絶縁膜、5はPt/Ti積層膜、6はSrBi₂Ta₂O₇膜、7はPt膜、8a、8b、8c、8d、8eはフォトリソ、9はTiO₂膜、11は金属配線、12aは選択トランジスタのソース領域、12bは選択トランジスタのドレイン領域を示す。

【0023】まず、シリコン基板1上に公知のフォトリ

ソグラフィ技術、ドライエッチング技術、CVD技術等を用いて、素子分離膜2並びにゲート電極3形成を行い、各種イオン注入を行うことにより、選択トランジスタを作成し、その後、公知のCVD法により、層間絶縁膜としてシリコン酸化膜4を1000nm堆積させ、公知のCMP法により平坦化を行う。その後、公知のスパッタリング法を用いて、Ti膜とPt膜とからなるPt/Ti積層膜5を堆積させる。尚、本実施の形態においては、Ti膜の膜厚は30nm、Pt膜の膜厚は100nmとする。また、Pt膜の代わりにPt合金膜を用いてもよい。

【0024】次に、 $\text{SrBi}_2\text{Ta}_2\text{O}_7$ 膜6を形成するために、Pt/Ti積層膜5上に $\text{SrBi}_2\text{Ta}_2\text{O}_7$ のゾルーゲル溶液をスピンコートし、250℃のホットプレート上でベークした後、RTA法を用いて N_2/O_2 雰囲気中で500℃、5minと800℃、5minの熱処理を4回繰り返して行う。この時の $\text{SrBi}_2\text{Ta}_2\text{O}_7$ 膜6の最終膜厚は150nmである。

【0025】次に、Pt膜7をスパッタリング法を用いて堆積させた(図2(a))後、公知のフォトリソグラフィ技術及びドライエッチング技術を用い、上部電極を形成する(図2(b))。尚、Pt膜7の代わりにPt合金膜を用いてもよい。その後、 $\text{SrBi}_2\text{Ta}_2\text{O}_7$ 膜6の結晶化を行い、特性を安定化させるため、拡散炉を用いて N_2/O_2 雰囲気中で800℃、30minの熱処理を行う。

【0026】次に、公知のフォトリソグラフィ技術及びドライエッチング技術を用いて、 $\text{SiBi}_2\text{Ta}_2\text{O}_7$ 膜6の加工を行う(図2(c))ことにより、強誘電体メモリのキャパシタ容量が決定される。その後、既に加工された上部電極と強誘電体膜との上に、シリコン酸化膜と $\text{SiBi}_2\text{Ta}_2\text{O}_7$ 膜との反応を抑制するバリアメタルとして TiO_2 膜9を反応性スパッタ法により50nm堆積させる(図2(d))。尚、符号8はフォトレジストを示す。

【0027】次に、公知のフォトリソグラフィ技術とドライエッチング技術を用いて、 TiO_2 膜7及びPt/Ti積層膜5を加工し、ドライブインとなる下部電極を形成する(図3(a))。本発明では、下部電極をPt/Ti積層膜とすることで、下部電極自身が薄膜化されたとともにTiNによるレジストとの選択比についての問題点が解消され、下部電極(Pt/Ti積層膜)のエッチングとバリアメタル(TiO_2 膜)のエッチング工程を連続的に同一工程で行うことが可能となる。

【0028】本実施の形態においては、マイクロ波パワーを1000W、 Cl_2 の流量を40SCCM、 C_2F_6 の流量を40SCCM、 CH_4 の流量を5SCCM、RFパワーを150W、圧力を $1.4 \times 10^{-1} \text{ Torr}$ とする。また、このエッチングにより堆積した側壁デポ膜はHCl水溶液のウェットエッチングにより除去する。

【0029】更に、この際に、エッチング法のプラズマ雰囲気により膜特性が劣化するため、 N_2/O_2 雰囲気中でRTA法により、500~600℃の温度で熱処理を行う。

【0030】次に、層間絶縁膜として公知のCVD法により、シリコン酸化膜10を500nm堆積させた後、公知のフォトリソグラフィ技術及びドライエッチング技術を用いてキャパシタ上にコンタクトホールを開口する(図3(b))。その際に、エッチング法のプラズマ雰囲気により膜特性が劣化するため、 N_2/O_2 雰囲気中でRTA法により、500~600℃の温度で熱処理を行う。

【0031】最後に、公知のフォトリソグラフィ技術及びドライエッチング技術を用いて、シリコン基板上に形成された選択トランジスタのソース/ドレイン領域12a、12b上にコンタクトホールを開口した(図3(c))後、スパッタリング法により、上部電極7とドレイン領域12bとを電気的に接続するようにメタル配線11を形成する(図3(d))。

【0032】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、ポリシリコンプラグを用いていないので、従来下部電極材料であったPtとポリシリコンプラグとの反応抑制及びPtを介した酸素等の透過によるポリシリコンプラグの酸化抑制のために下部電極を構成するPt膜とTi膜との間に設けていたTiN膜が不要となり、TiN膜とレジストとの選択比の低下という問題点がなくなる。

【0033】したがって、従来、TiN膜が存在していたために、バリアメタルとなる TiO_2 膜と下部電極とを別々の工程でバタニングしていたが、本発明においては、 TiO_2 膜と下部電極とを連続的に同一工程でバタニングすることができるので、マスク数が減ることによる工程数低減ができ、全処理工程を通じてのパーティクル数の減少並びにコストダウンが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体記憶装置の構造断面図である。

【図2】本発明の一実施の形態の半導体記憶装置の前半の製造工程図である。

【図3】本発明の一実施の形態の半導体記憶装置の後半の製造工程図である。

【図4】従来の強誘電体キャパシタを有する半導体記憶装置の前半の製造工程図である。

【図5】従来の強誘電体キャパシタを有する半導体記憶装置の後半の製造工程図である。

【符号の説明】

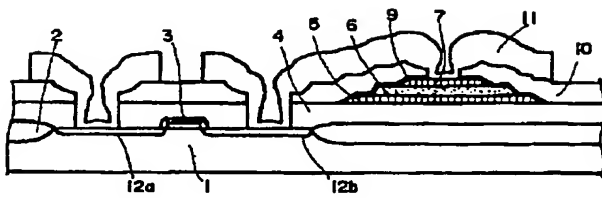
- 1 シリコン基板
- 2 素子分離膜
- 3 ゲート電極

- 4、10 層間絶縁膜
 5 Pt/Ti積層膜
 6 SrBi,Ta,O,膜
 7 Pt膜
 8 フォトレジスト

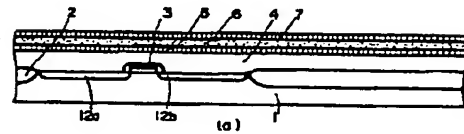
- * 9 TiO₂膜
 11 メタル配線
 12a 選択トランジスタのソース領域
 12b 選択トランジスタのドレイン領域

*

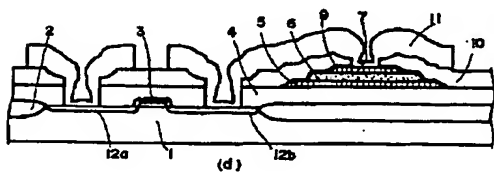
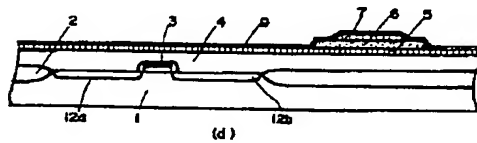
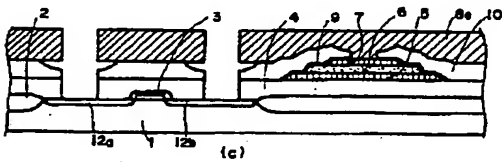
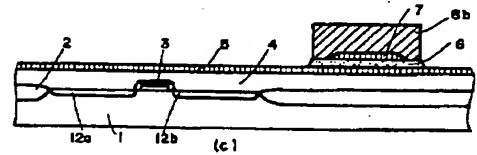
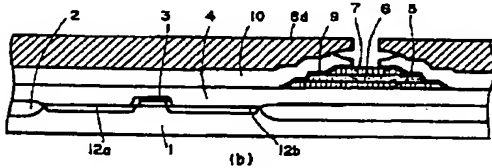
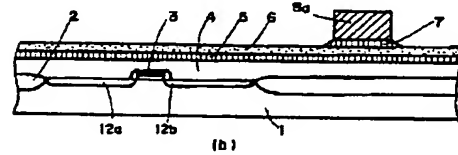
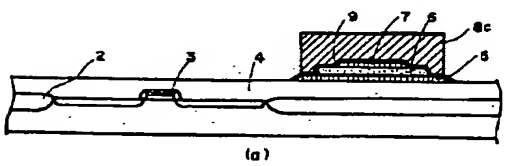
【図1】



【図2】



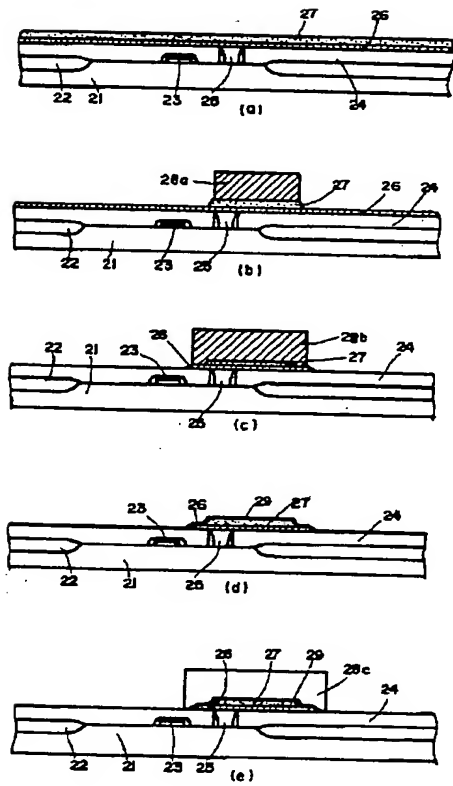
【図3】



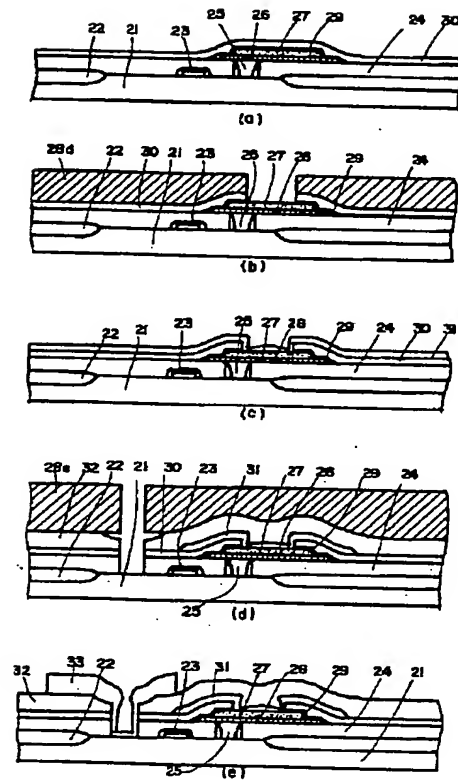
(6)

特開平11-214655

【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁶
H01L 29/792

識別記号

F I